

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256478
 (43)Date of publication of application : 25.09.1998

(51)Int.Cl. H01L 27/04
 H01L 21/822

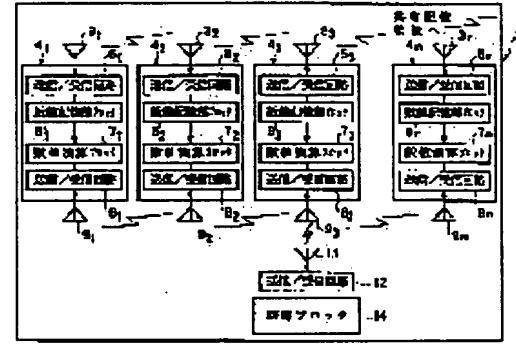
(21)Application number : 09-056206 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 11.03.1997 (72)Inventor : KAMEYAMA ATSUSHI
 ISHIDA KENJI
 UCHITOMI NAOTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the increase of chip size and the deterioration of reliability as far as possible, and besides, operate all functional blocks efficiently, by providing each functional block with an antenna and a receiving circuit, and a control block with an antenna and a transmission circuit.

SOLUTION: Since radio is used for the data transmission between each block and the next through an antenna, there is never such a matter that it can not be changed once it is fixed as wiring unlike such a data bus between numerical value recording blocks 6i or a data bus between numerical value operating blocks 7i as is in a conventional technique, by transmitting frequency information in case of frequency multiplication to each sending and receiving circuit 5i, 8i, and 12i through a control block or the like, or transmitting the pattern information for coding in case of spectrum diffusion. Moreover, an LSI which is of high integration and high reliability and has flexible wiring capable of changing the signal wirings between blocks flexibly becomes possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256478

(43) 公開日 平成10年(1998)9月25日

(51) Int.Cl.⁵

H 01 L 27/04
21/822

識別記号

F I

H 01 L 27/04

D

(21) 出願番号 特願平9-56206

(22) 出願日 平成9年(1997)3月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 亀山 敦

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

(72) 発明者 石田 賢二

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 内富直隆

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

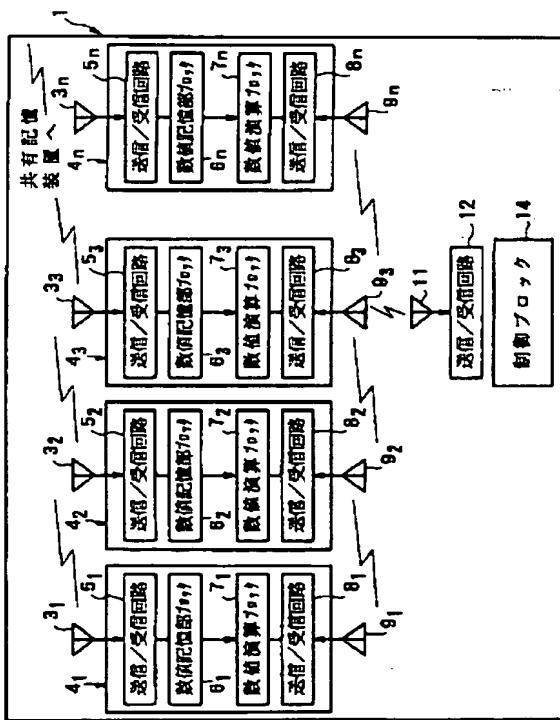
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 チップサイズが増大することおよび信頼性が低下することを可及的に防止するとともに全ての機能ブロックが効率良く動作することを可能にする。

【解決手段】 各々が、データおよび制御信号に基づいて所定の処理を行う複数の機能ブロック $4_1, \dots, 4_n$ と、データの入力先、データの出力先、およびデータの処理内容を指示する制御信号を出力する制御ブロック 14 と、を備え、機能ブロック 4_i ($i = 1, \dots, n$) は各々、アンテナ $3_i, 9_i$ と、データおよび制御信号をアンテナを介して受信し復調する受信回路と、処理されたデータを変調して無線信号としてアンテナを介して送信する送信回路と、を有し、制御ブロックは、アンテナ 11 と、制御信号を無線信号に変調してアンテナを介して送信する送信回路と、を有していることを特徴とする。



(2)

1

【特許請求の範囲】

【請求項1】各々が、データおよび制御信号に基づいて所定の処理を行う複数の機能ブロックと、前記データの入力先、前記データの出力先、および前記データの処理内容を指示する制御信号を出力する制御ブロックと、を備え、

前記機能ブロックは各々、アンテナと、前記データおよび前記制御信号を前記アンテナを介して受信し復調する受信回路と、前記処理されたデータを変調して無線信号として前記アンテナを介して送信する送信回路と、を有し、

前記制御ブロックは、アンテナと、前記制御信号を無線信号に変調して前記アンテナを介して送信する送信回路と、

を有していることを特徴とする半導体集積回路装置。

【請求項2】前記複数の機能ブロックのうちの1つの機能ブロックは、データを記憶する記憶装置であり、他の機能ブロックは数値処理を行う数値処理ブロックであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】前記数値処理ブロックは各々、数値演算を行う数値演算ブロックと、受信し、復調されたデータを一時的に記憶保持する数値記憶ブロックとを有していることを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】無線信号に複数のキャリア周波数を用いることを特徴とする請求項1乃至3のいずれかに記載の半導体集積回路装置。

【請求項5】無線信号に単一のキャリア周波数を用いることを特徴とする請求項1乃至3のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各々がデータ処理ユニット、記憶ユニット、および制御ユニットを有する複数の機能ブロックを備えている半導体集積回路装置に関する。

【0002】

【従来の技術】近年コンピュータや通信機器のキーコンポーネントとして複数の機能ブロックからなる大規模集積回路(LSI)のような半導体装置が多用されている。情報量の増大に伴い、LSIをはじめとする半導体装置は、益々高集積化および高速化が図られている。なかでも素子を微細化することにより、高速化・高集積化を実現しているVLSIは、超高速・高機能デバイスとして必須のものとなってきている。ここで、複数個の機能ブロックから構成されるデータ処理用の従来のVLSIについて図2を参照して説明を行う。

【0003】図2は従来の数値処理用の半導体集積回路装置(以下、集積回路装置ともいいう)の構成を示すブロック図である。この従来の集積回路装置20は、データ

2

バス21と、n個の数値処理ブロック22₁, …22_nと、制御バス26と、制御ブロック28と、共通の記憶装置(図示せず)とを備えている。各数値処理ブロック22_i (i=1, …n)は、数値計算を行う数値演算ブロック25_iと、数値記憶部ブロック24_iとを有している。この数値記憶部ブロック24_i (i=1, …n)は、上記共通の記憶装置または他の数値記憶部ブロック24_j (j ≠ i)からデータバス21を介して送られてくるデータを数値処理ブロック25_iに受け渡すために上記データを一時的に記憶する。

【0004】制御ブロック28は制御バス26を介して制御信号を送り数値処理ブロック22₁, …22_nおよび上記共通の記憶装置を制御する。この従来の集積回路装置20においては、データは各数値処理ブロック22_i (i=1, …n)を経由することにより演算され、演算されたデータは最終的に共通の記憶装置に格納される。

【0005】

【発明が解決しようとする課題】上述のように構成された従来の集積回路装置20においては次の問題点がある。まず第1に、データの転送能力を高くするためにバス幅を大きくとるため(例えば32、64、128ビット等)、これらのバス領域をチップ内にレイアウトする半導体集積回路装置においては、そのチップの大きさが著しく大きくなってしまう。

【0006】第2にバス配線間の容量性カップリングにより、データ信号に重畠する雑音成分が大きくなり、その結果バス内のデータ転送のエラー確率が増大し、最終的にチップとしての信頼性が低くなる。一般に、バスの信号線は論理回路ブロック内の信号線に比べて数倍長いため、論理回路ブロック間の信号を駆動するために駆動能力の高いバッファセルを用いる。バッファセルは、通常のセルに比べて負荷駆動能力が数倍から数十倍高い。このため、図3に示すようにバッファセル32からバスの信号線35にバス信号34が出力されているときは、バスの信号線35とこの信号線35に隣接する、論理回路ブロック内の信号線37との間の配線間容量36を介して漏話信号38が生じやすい。これにより半導体集積回路装置の動作の信頼性は低くなる。逆にこの問題を防止するためにバッファセル32の駆動能力を低下させると、データの伝達遅延時間のばらつきが大きくなり、結果的に半導体集積回路装置の信頼性は低下することになる。

【0007】第3に上記集積回路装置においては、ブロック間結線が自由に行える長所があるが、システムとしては全ての機能ブロックが効率良く動作しているとは云えない。例えば、各数値処理ブロック22_i (i=1, …n)間の信号の授受は1本のバス21を通して行っているので、ある数値処理ブロック(例えば数値処理ブロック22₁)がバス21を占有しているときには他の全

(3)

3

てのブロック間でのデータ転送は行われず、システムの全ての機能ブロックが効率良く動作していることにならない。

【0008】これを解消して全てのブロック間転送を、同時に使うためには、特別な制御を必要とするマトリクススイッチと言ったバス構成が必要となる。このため並列度の高いシステムではバス構成部のシステム全体に占める割合が著しく大きくなってしまい、システムそのものが冗長になってしまふ、という問題点が生じる。従つて、ブロック間の信号結線方式によりシステムの性能が決まってしまう、あるいはそのシステムの効率を重視する結果、冗長なシステムになってしまふ問題点を有していた。

【0009】本発明は上記事情を考慮してなされたものであつて、チップサイズが増大することおよび信頼性が低下することを可及的に防止するとともに全ての機能ブロックが効率良く動作することが可能な半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明による半導体集積回路装置は、各々が、データおよび制御信号に基づいて所定の処理を行う複数の機能ブロックと、前記データの入力先、前記データの出力先、および前記データの処理内容を指示する制御信号を出力する制御ブロックと、を備え、前記機能ブロックは各々、アンテナと、前記データおよび前記制御信号を前記アンテナを介して受信し復調する受信回路と、前記処理されたデータを変調して無線信号として前記アンテナを介して送信する送信回路と、を有し、前記制御ブロックは、アンテナと、前記制御信号を無線信号に変調して前記アンテナを介して送信する送信回路と、を有していることを特徴とする。

【0011】なお、前記複数の機能ブロックのうちの1つの機能ブロックは、データを記憶する記憶装置であり、他の機能ブロックは数値処理を行う数値処理ブロックであるように構成しても良い。

【0012】また、前記数値処理ブロックは各々、数値演算を行う数値演算ブロックと、受信し、復調されたデータを一時的に記憶保持する数値記憶ブロックとを有しているように構成しても良い。

【0013】なお、無線信号に複数のキャリア周波数を用いることも可能である。

【0014】また、無線信号に単一のキャリア周波数を用いることも可能である。

【0015】

【発明の実施の形態】本発明による半導体集積回路装置（以下、単に集積回路装置という）の一実施の形態の構成を図1に示す。この実施の形態の集積回路装置1は、n個の数値処理ブロック4₁、…4_nと、制御ブロック14と、図示しない共有の記憶装置とを備えている。

【0016】各数値処理ブロック4_i（i=1, …n）

(3)

4

は、アンテナ3_iと送信／受信回路5_iと、数値記憶部ブロック6_iと、数値演算ブロック7_iと、送信／受信回路8_iと、アンテナ9_iを有している。

【0017】送信／受信回路5_i（i=1, …n）は、デジタル信号を変調し、アンテナ3_iを介してRF信号（無線信号）として送信する送信部と、アンテナ3_iを介して受信したRF信号をデジタル信号に復調するための受信部と、RF信号のキャリア周波数を決定する発振部とを有している。

【0018】各数値記憶部ブロック6_i（i=1, …n）は、共有の記憶装置、あるいは他の数値処理ブロック4_j（j=i）からアンテナ3_iおよび送信／受信回路5_iを介して送られてきたデータを記憶する。

【0019】各数値演算ブロック7_i（i=1, …n）は数値記憶部ブロック6_iに記憶されたデータに基づいて数値演算を行い、演算終了時には終了を示す信号を出力する。

【0020】送信／受信回路8_i（i=1, …n）は、数値演算ブロック7_iの出力（デジタル信号）を変調し、アンテナ9_iを介してRF信号として送信する送信部と、アンテナ9_iを介して受信したRF信号（主に、制御ブロック14からの制御信号）をデジタル信号に復調するための受信部と、RF信号のキャリア周波数を決定する発振部とを有している。

【0021】制御ブロック14は、アンテナ11と、送信／受信回路12とを有し、各数値処理ブロック4_i（i=1, …n）のデータの入力先、出力先および処理内容を決定し、送信／受信回路12およびアンテナ11を介して各数値処理ブロック4_iにRF信号に変調した制御信号を送る。また数値処理ブロックからの演算の終了を示す信号をアンテナ11および送信／受信回路12を介して受信、復調し、この演算終了を示す信号に基づいてデータの出力先等を決定する。なお送信／受信回路12も送信／受信回路8_i（i=1, …n）と同様に送信部、受信部、および発振部を有している。なお各アンテナは金属配線および誘電体から構成される。

【0022】このような本実施の形態の集積回路装置においては、各ブロック間のデータのやり取りを無線で行うことにより、従来の技術で問題であったブロック間結線領域である制御バスおよびデータバスの信号結線領域が不要になり、送受信回路によるチップ面積の若干の増大があるものの、バス領域が不要となるため大幅な面積の縮小を計ることが可能となり結果的にチップサイズの小形化を計ることができる。

【0023】また、無線信号に関しても周波数多重による信号間の干渉を防ぐあるいは変調方式を干渉の少ないスペクトラム拡散方式を採用する等により各データ間の干渉の少ない高品質なデータ伝送が可能となり、従来の技術で問題となっている信号間の容量性結合による信号間カップリングあるいは信号間路漏話を避けることがで

(4)

5

きる。

【0024】さらに、各ブロック間のデータ伝送に無線を用いているために、制御ブロックなどを介して各送受信回路に周波数多重の場合は周波数情報を伝送することにより、またスペクトラム拡散の場合は符号化のパターン情報を伝送することにより、従来の技術にあるような数値記憶ブロック間のデータバスと数値演算ブロック間のデータバスのように一度配線として固定してしまった後更ができないということなく、直接送受信回路を介して記憶装置のデータを制御ブロック14に送ること、制御情報を直接記憶部装置に送ること、制御情報を送受信バッファ回路を介して外部記憶装置に転送すること等の配線情報の変更が容易に行えることとなり、目的に応じたシステムの構築がチップ内での情報の変更により容易にできる特徴がある。

【0025】以上示したように本発明を用いることにより、高集積密度、高信頼度で且つブロック間の信号結線をフレキシブルに変更可能である柔軟な配線をもつLSIが可能となる。

【0026】なお、本発明に於いては、無線周波数は10GHz以上の領域であれば構成可能であるが、アンテナを含めた送受信回路が小型化されるためには無線として用いる周波数はミリ波である30GHz以上であることが望ましい。

【0027】また、既に述べたように無線としてチップ内で用いる周波数は、周波数多重で信号間干渉を防ぐ場合に於いては、複数のキャリア周波数を用いることが望ましく、この周波数情報に関しては制御ブロックから各ブロックへある固定の周波数を用いた同報で情報が送られる。

【0028】またスペクトラム拡散のように符号間の干渉の低さを利用する方式であれば、单一のキャリア周波数を用い、符号化情報を同報により制御ブロックから各ブロックに送付し、各機能ブロックがそれぞれが必要と

する情報をその中から入手することができる。

【0029】

【発明の効果】以上述べたように、本発明によれば、チップサイズが増大することおよび信頼性が低下するのを可及的に防止することができるとともに、全ての機能ブロックを効率良く動作させることが可能となる。

【図面の簡単な説明】

【図1】本発明による半導体集積回路装置の一実施の形態の構成を示すブロック図。

10 【図2】従来の半導体集積回路装置の構成を示すブロック図。

【図3】従来の半導体集積回路装置の問題点を説明する説明図。

【符号の説明】

1, 20 半導体集積回路装置

3i (i=1, …n), 9i (i=1, …n), 11
アンテナ4i (i=1, …n), 22i (i=1, …n) 数値
処理ブロック20 5i (i=1, …n), 8i (i=1, …n), 12
送信／受信回路6i (i=1, …n), 24i (i=1, …n) 数値
記憶部ブロック7i (i=1, …n), 25i (i=1, …n) 数値
演算ブロック

14, 28 制御ブロック

21 データバス

26 制御バス

32 バッファ

30 34 バス信号

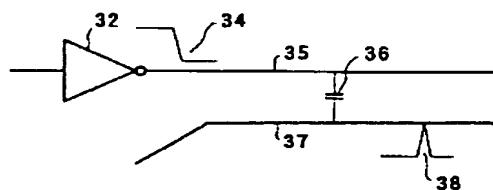
35 バス

36 配線間容量

37 信号線

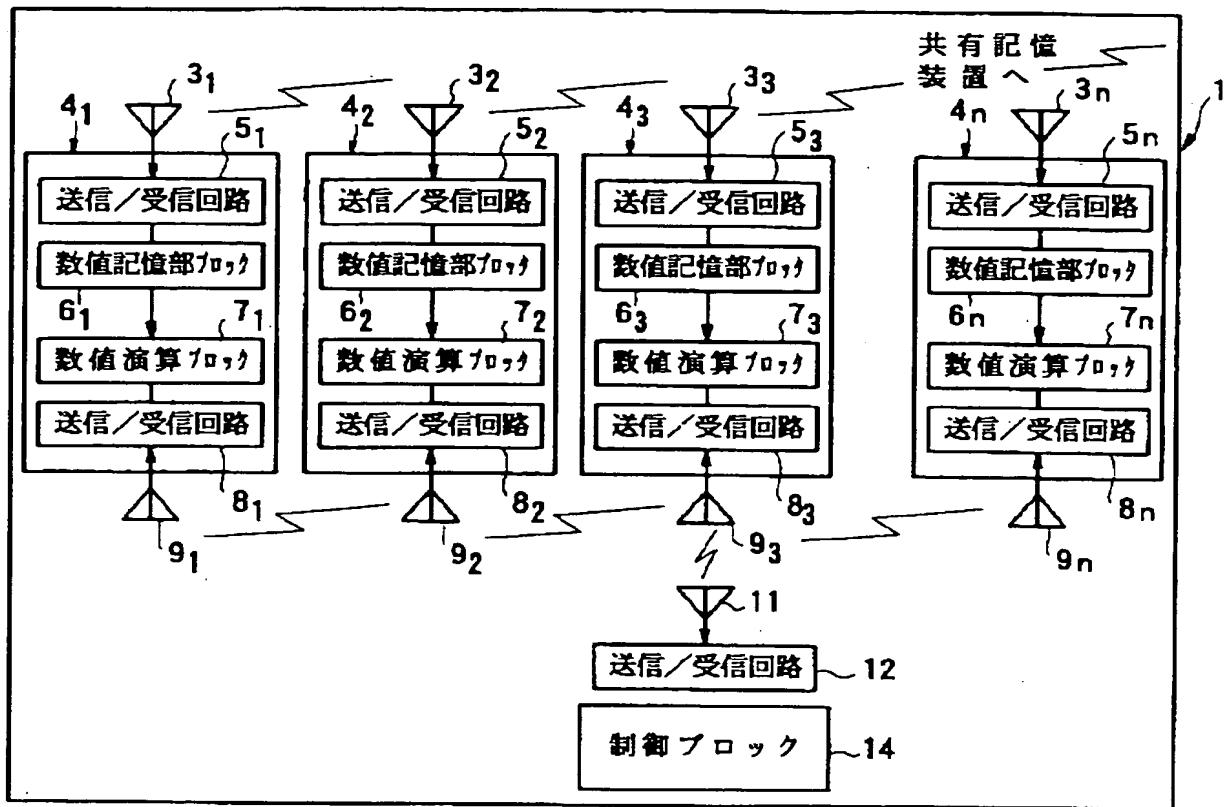
38 漏話信号

【図3】



(5)

【図1】



(6)

【図2】

